

PAT-NO: JP02000164732A

DOCUMENT-IDENTIFIER: JP 2000164732 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: June 16, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
NAGAYAMA, TETSUJI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SONY CORP	N/A

APPL-NO: JP10340570

APPL-DATE: November 30, 1998

INT-CL (IPC): H01L021/8238, H01L027/092 , H01L021/3065 , H01L029/43  
, H01L029/78 , H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent generation of an abnormal shape of silicon films and residues due to a difference between etching rates at the time when the silicon films of different conductivity types are etched simultaneously.

SOLUTION: One conductivity-type impurities are introduced in a silicon film 3 of a lower layer and other conductivity-type impurities and introduced in a silicon film 6 of an upper layer. The other conductivity-type impurities may be introduced in the region other than a resist mask on the film 6. After this, the films 3 and 6 are etched, whereby the difference between etching rates at etching of the films 3 and 6 is offset.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-164732

(P2000-164732A)

(43)公開日 平成12年6月16日(2000.6.16)

(51)Int.Cl.<sup>7</sup>

H 01 L 21/8238  
27/092  
21/3065  
29/43  
29/78

識別記号

F I

H 01 L 27/08  
21/302  
29/62  
29/78

3 2 1 D 4 M 1 0 4  
B 5 F 0 0 4  
G 5 F 0 4 0  
3 0 1 P 5 F 0 4 8

テマコード(参考)

審査請求 未請求 請求項の数 6 OL (全 16 頁) 最終頁に続く

(21)出願番号

特願平10-340570

(22)出願日

平成10年11月30日(1998.11.30)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 長山 哲治

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

最終頁に続く

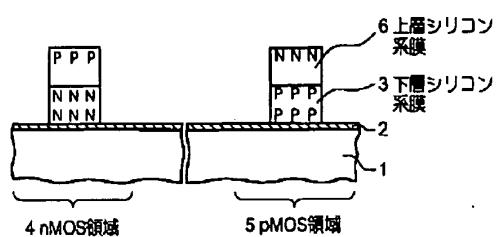
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

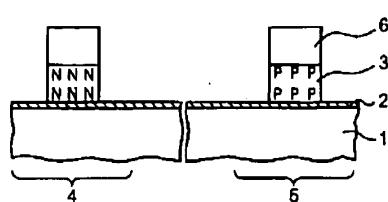
【課題】 導電型の異なるシリコン系膜を同時にエッチングする際、エッティングレートの差に起因する、形状異常や残渣を防止する。

【解決手段】 下層シリコン系膜3に一導電型の不純物を導入し、上層シリコン系膜6には、他導電型の不純物を導入する。上層シリコン系膜6へは、レジストマスク以外の領域に他導電型の不純物を導入してもよい。この後、エッティングすることにより、エッティングレートの差を相殺する。

(a)



(b)



## 【特許請求の範囲】

【請求項1】 第1の領域および第2の領域を有する基体上に下層シリコン系膜を形成する工程と、

前記第1の領域上の前記下層シリコン系膜にn型不純物を導入する工程と、

前記第2の領域上の前記下層シリコン系膜にp型不純物を導入する工程と、

前記下層シリコン系膜上に上層シリコン系膜を形成する工程と、

前記第1の領域上の前記上層シリコン系膜にp型不純物を導入する工程と、

前記第2の領域上の前記上層シリコン系膜にn型不純物を導入する工程と、

前記第1の領域上および第2の領域上の前記上層シリコン系膜上に、それぞれマスクを形成する工程と、

前記マスクをエッチングマスクとして、前記第1の領域上および第2の領域上の前記上層シリコン系膜および下層シリコン系膜を同時にエッチングし、前記基体の一部を露出する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記上層シリコン系膜に導入する不純物濃度は、

前記下層シリコン系膜に導入する不純物濃度よりも薄いことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 第1の領域および第2の領域を有する基体上に下層シリコン系膜を形成する工程と、

前記第1の領域上の前記下層シリコン系膜にn型不純物を導入する工程と、

前記第2の領域上の前記下層シリコン系膜にp型不純物を導入する工程と、

前記下層シリコン系膜上に上層シリコン系膜を形成する工程と、

前記第1の領域上の前記上層シリコン系膜上にマスクを形成し、該マスクを不純物導入マスクとして、前記第1の領域上の該上層シリコン系膜にp型不純物を導入する工程と、

前記第2の領域上の前記上層シリコン系膜上にマスクを形成し、該マスクを不純物導入マスクとして、該第2の領域上の該上層シリコン系膜にn型不純物を導入する工程と、

前記マスクをエッチングマスクとして、前記第1の領域上および第2の領域上の前記上層シリコン系膜および下層シリコン系膜を同時にエッチングし、前記基体の一部を露出する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】 前記下層シリコン系膜は非単結晶シリコン膜であるとともに、

前記上層シリコン系膜は高融点金属シリサイド膜であることを特徴とする請求項1または請求項3記載の半導体

## 装置の製造方法。

【請求項5】 請求項1記載の半導体装置の製造方法により製造されたことを特徴とする半導体装置。

【請求項6】 請求項3記載の半導体装置の製造方法により製造されたことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に関し、さらに詳しくは、異なる導電型の不純物を含有するシリコン系膜を同時にエッチングする場合の、エッティングレートの差に起因する諸問題点を解決した半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】ULSI(Ultra Large Scale Integrated Circuits)等の半導体装置の高集積度化が進展するに伴い、配線および配線ピッチの微細化が必要となっている。半導体装置の一例として、CMOS(Complementary Metal Oxide Semiconductor)トランジスタにおいても、サブクオータミクロのデザインルールが適用されることは必至であり、かかる高集積度のCMOSトランジスタの製造プロセス技術の確立が重要性を増している。

【0003】従来のCMOSトランジスタにおいては、nMOS(n Channel Metal Oxide Semiconductor)およびpMOS(p Channel Metal Oxide Semiconductor)とともに、製造工程の容易さから、同一のゲート電極材料であるn<sup>+</sup>多結晶シリコンが用いられてきた。このため、pMOSでは閾値電圧がnMOSに比較して高くなるため、p型不純物のカウンタドーピングをおこない、表面にp型埋め込み層を形成することにより、閾値電圧を小さくしていた。

【0004】しかしながら、チャネル長が短くなるにしたがい、このp型埋め込み層を通してパンチスルーが発生しやすくなる(K.M.Cham et al., IEEE Trans. Electron Devices, vol. ED-31, 964(1984))。

【0005】これに対して、表面チャネル型の方が、埋め込みチャネル型に比べて、パンチスルーを抑制しやすいことが報告されている(J.Zhu et al., IEEE Trans. Electron Devices, vol. ED-35, 964(1984))。pMOSを表面チャネル型とするには、ゲート電極材料としてp<sup>+</sup>多結晶シリコンを用いればよい。そこで、サブクオータミクロのデザインルールが適用されるCMOSにおいては、pMOSの短チャネル効果を抑制するために、nMOSのゲート電極材料にはn<sup>+</sup>多結晶シリコンを、pMOSのゲート電極材料にはp<sup>+</sup>多結晶シリコンを用いる、DualゲートCMOSが有望視されている。

## 【0006】

【発明が解決しようとする課題】しかしながら、Dualゲートプロセスにおいては、特にゲート電極のドライエッティング時に、いくつかの問題点が残されている。それ

は、異なるドーパントを含む多結晶シリコンのエッチングに起因する問題である。

【0007】ハロゲン系のエッティングガスによる多結晶シリコンのエッティングレートは、従来よりドーパントの種類により異なることが知られている（例えば、徳山編著「半導体ドライエッティング技術」p.95（産業図書））。すなわち、エッティング条件次第では、pMOS用のBドープ多結晶シリコンのエッティングレートは、nMOS用のPドープ多結晶シリコンのエッティングレートの半分以下しか得られない。

【0008】このエッティングレートの差が引き起こす問題点を、図13～図14を参照して説明する。図13～図14は、現在多用されているゲート電極材料であるタンクステンポリサイド(W-Policide)による、Dualゲートプロセスを示す工程図である。

【0009】図13(a)：半導体基体1上に、ゲート絶縁膜2、下層シリコン系膜3としての多結晶シリコン膜を形成する。この下層シリコン系膜3のnMOS領域4には図中Nで示すn型不純物を、pMOS領域5には図中Pで示されるp型不純物を導入する。つぎに上層シリコン系膜6としての高融点金属シリサイド膜を形成し、この上層シリコン系膜6上に、ゲート電極幅のレジストマスク7を形成する。

【0010】レジストマスク7をエッティングマスクとして、nMOS領域4およびpMOS領域5の上層シリコン系膜6を同時に異方性エッティングする。

【0011】図13(b)：続けて、nMOS領域4およびpMOS領域5の下層シリコン系膜3をエッティングする。この工程では、n型不純物を導入した下層シリコン系膜3と、p型不純物を導入した下層シリコン系膜3との形状制御性、すなわち、ともに異方性を得るエッティング条件の選択が必要である。しかしながら、このようなエッティング条件を採用しても、エッティングレートの差をなくすことは事実上不可能に近い。

【0012】図13(c)：すなわち、n型不純物を導入した下層シリコン系膜3の方が、p型不純物を導入した下層シリコン系膜3のエッティングレートより大きいため、両領域の下層シリコン系膜3のエッティング深さに差が発生する。このため、n型不純物を導入した下層シリコン系膜3のエッティングが終了し、下地のゲート絶縁膜2が露出した段階においても、p型不純物を導入した下層シリコン系膜3のエッティングは未だ終了しない。

【0013】図14(d)：そこで、オーバーエッティングをかけてp型不純物を導入した下層シリコン系膜3のエッティングを続行する。すると、すでにゲート絶縁膜2が露出しているnMOS領域4のゲート電極に接した部分に、ゲート絶縁膜2および半導体基体1におよぶ突き抜け9が発生する。またこの状態になんでも、pMOS領域5のゲート電極近傍には、p型不純物を導入した下層シリコン系膜3の残渣10が見られる場合がある。

このような突き抜け9や残渣10は、CMOSトランジスタの所定の回路動作を妨げる。

【0014】本発明は、Dualゲート型CMOSトランジスタの、エッティングレートの差に起因する突き抜けや残渣を防止し、特性の揃った信頼性の高い高集積度半導体装置およびその製造方法を提供することを課題とする。

#### 【0015】

【課題を解決するための手段】上述した課題を達成するため、本発明者はnMOS領域およびpMOS領域に形

10 成したゲート電極材料の表面に、予めカウンタドーピングを行った後に、ゲート電極エッティングをおこなうことにより、突き抜けや残渣を効果的に防止できることを見出した。本発明はかかる知見に基づき完成されたものである。

【0016】すなわち、本発明の半導体装置の製造方法は、第1の領域および第2の領域を有する基体上に下層シリコン系膜を形成する工程と、第1の領域上の下層シリコン系膜にn型不純物を導入する工程と、第2の領域上の下層シリコン系膜にp型不純物を導入する工程と、これら下層シリコン系膜上に上層シリコン系膜を形成する工程と、第1の領域上の上層シリコン系膜にp型不純物を導入する工程と、第2の領域上の上層シリコン系膜にn型不純物を導入する工程と、第1の領域上および第2の領域上の上層シリコン系膜上に、それぞれマスクを形成する工程と、このマスクをエッティングマスクとして、第1の領域上および第2の領域上の上層シリコン系膜および下層シリコン系膜を同時にエッティングし、先の基体の一部を露出する工程とを有することを特徴とする。

【0017】このとき、上層シリコン系膜に導入する不純物濃度は、下層シリコン系膜に導入する不純物濃度よりも薄いことが望ましい。

【0018】本発明の他の半導体装置の製造方法は、第1の領域および第2の領域を有する基体上に下層シリコン系膜を形成する工程と、第1の領域上の下層シリコン系膜にn型不純物を導入する工程と、第2の領域上の下層シリコン系膜にp型不純物を導入する工程と、これら下層シリコン系膜上に上層シリコン系膜を形成する工程と、第1の領域上の上層シリコン系膜上にマスクを形成し、このマスクを不純物導入マスクとして、第1の領域上の上層シリコン系膜にp型不純物を導入する工程と、第2の領域上の上層シリコン系膜上にマスクを形成し、このマスクを不純物導入マスクとして、第2の領域上の上層シリコン系膜にn型不純物を導入する工程と、このマスクをエッティングマスクとして、第1の領域上および第2の領域上の上層シリコン系膜および下層シリコン系膜を同時にエッティングし、先の基体の一部を露出する工程とを有することを特徴とする。

【0019】いずれの発明においても、下層シリコン系膜は、多結晶シリコンや非晶質シリコンあるいは微結晶

シリコン等の非単結晶シリコン膜であるとともに、上層シリコン系膜はWSi<sub>2</sub>等の高融点金属シリサイド膜であることが望ましい。

【0020】本発明の半導体装置は、かかる半導体装置の製造方法により製造されたものであることを特徴とする。

【0021】〔作用〕Dualゲート型電極を2層のシリコン系膜で構成し、n型の下層シリコン系膜上の上層シリコン系膜にp型不純物をカウンタドーピングする。一方のp型の下層シリコン系膜上の上層シリコン系膜にはn型不純物をカウンタドーピングする。この状態でnMOS領域およびpMOS領域の2層のシリコン系膜を同時にエッチングすることにより、2層のシリコン系膜を合わせたエッチングレートは、両領域において実質的に同一、ないしは近似したものとなる。

【0022】したがって、nMOS領域における突き抜け、およびpMOS領域における残渣はともに回避される。

### 【0023】

【発明の実施の形態】以下、本発明の半導体装置およびその製造方法を、図面を参照しながら説明する。まず本発明の半導体装置の製造方法を含んで製造された半導体装置を、図1に示す要部概略断面図を参照して説明する。

【0024】図1(a)に示す半導体装置は、シリコン等の半導体基体1上に、ゲート絶縁膜2が形成されており、下層シリコン系膜3および上層シリコン系膜6からなるDualゲート型電極が形成されている。下層シリコン系膜3は、多結晶シリコンあるいは非晶質シリコン等の非単結晶シリコンからなる。また上層シリコン系膜6は、高融点金属シリサイド、多結晶シリコン、あるいは非晶質シリコンからなる。符号4はnMOS領域、符号5はpMOS領域である。

【0025】nMOS領域4の下層シリコン系膜3には、図中Nで表すn型不純物、例えばP(燐)やAs等のV族元素が導入されている。またnMOS領域4の上層シリコン系膜6には、図中Pで表すp型不純物、例えばBやGa等のIII族元素が導入されている。かかる2層のシリコン系膜により、nMOS領域4のゲート電極が構成されている。上層シリコン系膜6の不純物濃度は、下層シリコン系膜3の不純物濃度より、例えば1桁程度薄いことが望ましい。

【0026】図1(b)に示す半導体装置は、本発明の他の半導体装置の製造方法を含んで製造された半導体装置である。すなわち、図1(a)とほぼ同様に、シリコン等の半導体基体1上にゲート絶縁膜2が形成されており、下層シリコン系膜3および上層シリコン系膜6からなるDualゲート型電極が形成されている。下層シリコン系膜3は、多結晶シリコンあるいは非晶質シリコン等の非単結晶シリコンからなる。また上層シリコン系膜6

は、高融点金属シリサイド、多結晶シリコン、あるいは非晶質シリコンからなる。符号4はnMOS領域、符号5はpMOS領域である。

【0027】図示の半導体装置は、上層シリコン系膜6には不純物が導入されていない。ただし、後に実施例の項で詳述するように、これらゲート電極をエッチングする際の、エッチングマスク直下の上層シリコン系膜6に不純物が導入されていないということであり、エッチングマスク直下以外の上層シリコン系膜6には不純物が導入されていたものである。かかる構成によっても、nMOS領域4での突き抜けや、pMOS領域5での残渣が防止される。

【0028】つぎに、本発明の半導体装置の製造方法に採用されるプラズマエッチング装置は、通常の平行平板型RIE(Reactive Ion Etching)装置、あるいはマグネットロンRIE装置でもよいが、大口径化した被処理基板に対して、均一かつ低ダメージエッチング処理を施すためには、 $1 \times 10^{11} / \text{cm}^3$ 以上 $1 \times 10^{14} / \text{cm}^3$ 未満のプラズマ密度が得られるプラズマエッチング装置を用いることが望ましい。

【0029】かかるプラズマ発生源を有するプラズマエッチング装置としては、ECR(Electron Cyclotron Resonance)プラズマエッチング装置、ICP(Inductively Coupled Plasma)エッチング装置、TCP(Transformer Coupled Plasma)エッティング装置、ヘリコン波プラズマ(Helicon Wave Plasma)エッティング装置あるいはMCR(Magnetically Confined Reactor)タイプのプラズマエッティング装置等を例示できる。これら各高密度プラズマエッティング装置についての詳細な技術的説明は、個々の技術リポート等に詳述されているので省略するが、その1部は総説として月刊セミコンダクター・ワールド誌(プレスジャーナル社刊)1992年10月号59ページに掲載されている。以下に各エッティング装置の概略のみを記す。

【0030】図9は、バイアス印加型ECRプラズマエッティング装置の概略構成例を示す図である。同図において、マグネットロン16により発生する2.45GHzのマイクロ波を、マイクロ波導波管17を経由して石英等からなるベルジャ18内に導入し、エッティングチャンバー19を周回して配設したソレノイドコイル20により励起した0.0875Tの磁場との相互作用により、エッティングチャンバー19内にエッティングガスのECRプラズマを生成する。被処理基体11はステージ12上にクランバ13等により密着載置する。ステージ12に組み込んだ静電チャック(図示せず)により被処理基体11を支持してもよい。符号21はバイアス電源である。なお、被処理基体11の温度制御手段、ガス導入手段あるいは真空ポンプ等の装置細部はいずれも図示を省略する。

【0031】図10は、MCR(磁場封じ込め型リアク

タ) タイプのプラズマエッティング装置の概略構成例を示す図である。同図では、図9のバイアス印加型E C R プラズマエッティング装置と同じ機能を有する部分には同一の参照番号を付すものとする。エッティングチャンバ19の内側面の1部は環状の側壁電極23で囲繞され、ここにソース電源22より例えば13. 56MHzのRFを印加する。エッティングチャンバ19の内側面の残りの部分は石英等の誘電体材料からなる。符号24は側壁電極23と対をなす上部電極である。側壁電極23と上部電極24の裏面すなわちエッティングチャンバ19の外周には、図示しないマルチポール磁石を配設し、エッティングチャンバ19内に発生する $1 \times 10^{11} / \text{cm}^3$  以上の高密度プラズマを閉じ込める。符号21は例えば450kH<sub>z</sub>のバイアス電源であり、ステージ12上の被処理基体11へのイオン入射強度をプラズマ密度とは独自に制御することが可能である。被処理基体11はステージ12上にクランバ13により密着載置する。ステージ12に組み込んだ静電チャック(図示せず)により被処理基体11を支持してもよい。なお、本装置においても、被処理基体11の温度制御手段、ガス導入手段あるいは真空ポンプ等の装置細部はいずれも図示を省略する。なお本装置の詳細は、18th. Teagal Plasma Seminar Proceedings (1992)に記載されている。

【0032】図11は、バイアス印加型 I C P エッティング装置の概略構成例を示す図である。なお、図11でも図9のバイアス印加型 E C R プラズマエッティング装置と同様の機能をはたす部分には同一の参照番号を付与しその説明は省略するものとする。同図において、石英等の誘電体材料で構成されるエッティングチャンバ19側面に多重に巻回した誘導結合コイル26によりソース電源22のパワーをエッティングチャンバ19内に供給し、ここに高密度プラズマを生成する。符号24は接地電位の上部電極であり、ヒータ27により温度制御されている。バイアス電源21を接続したステージ12上に被処理基体11を載置し、クランバ13等で密着保持する。なおエッティングガス導入孔、真空排気系等の細部の図示は省略する。 I C P エッティング装置の特徴は、大型のマルチターン誘導結合コイル26により、大電力でのプラズマ励起が可能であり、 $10^{12} / \text{cm}^3$  台の高密度プラズマでのエッティングを施すことができるることである。

【0033】図12は、バイアス印加型ヘリコン波プラズマエッティング装置の概略構成例を示す図である。なお、図12でも図9と同様の機能をはたす部分には同一の参照番号を付与し、その説明は一部省略するものとする。同図において、ソース電源22によりヘリコン波アンテナ29に電力を供給し発生する電界と、ソレノイドコイル20により発生する磁場との相互作用により、ベルジャ18内にホイスラー波(ヘリコン波)を発生し、エッティングチャンバ19内にエッティングガスの高密度プラズマを生成する。エッティングチャンバ19周囲のマル

チポール磁石31により、この高密度プラズマは効率よくエッティングチャンバ19内に閉じ込められる。バイアス電源21を接続したステージ12上に被処理基体11を載置し、クランバ13等で密着保持する。なおエッティングガス導入孔、真空排気系等の細部の図示は省略する。ヘリコン波プラズマエッティング装置の特徴は、ヘリコン波アンテナ29の構造特性により、前述した各プラズマ発生源よりさらに高い、 $10^{13} / \text{cm}^3$  台の高密度プラズマでのエッティングを施すことができることである。

【0034】この他エッティング装置として、図示を省略するが T C P エッティング装置も $10^{12} / \text{cm}^3$  台の高密度プラズマを生成するので好適に用いることができる。本装置は、石英等の誘電体材料で構成されるエッティングチャンバ天板上に配設した渦巻状コイルにより、ソース電源のパワーをエッティングチャンバ内に導入し、ここに高密度プラズマを生成するものである。

### 【0035】

【実施例】以下、本発明の半導体装置の製造方法につき、図面を参考しつつさらに詳細に説明する。以下の実施例は、好適な製造方法の例示であり、これら実施例は、当然ながら本発明を限定するものではない。

【0036】【実施例1】本実施例は、図1(a)に示したC M O S型半導体装置のDualゲート電極加工を、E C R プラズマエッティング装置により施した例であり、この工程を図2～図4に示す工程図を参照して説明する。

【0037】図2(a)： 本実施例で採用したサンプルは、シリコン等の半導体基体1上にゲート絶縁膜2および下層シリコン系膜3がそれぞれ形成されたものである。これらのうち、ゲート絶縁膜2はシリコン等の半導体基体1表面の熱酸化によりSiO<sub>2</sub>を5nmの厚さに形成したものである。また下層シリコン系膜3は、例えば減圧C V D (Chemical Vapor Deposition)法により、多結晶シリコンを100nmの厚さに形成したものである。

【0038】図2(b)： 下層シリコン系膜3上にレジストマスク(不図示)を形成し、nMOS領域4にPをイオン注入する。また別のレジストマスク(不図示)により、pMOS領域5にBをイオン注入し、熱処理を

40 施す。図中、n型不純物はNの記号で、p型不純物はPの記号で示す。

(nMOS領域イオン注入条件)

イオン種 : P<sup>+</sup>

エネルギー : 10keV

ドーズ量 :  $5 \times 10^{15} \text{ atoms/cm}^2$

(pMOS領域イオン注入条件)

イオン種 : B<sup>+</sup>

エネルギー : 5keV

ドーズ量 :  $4 \times 10^{15} \text{ atoms/cm}^2$

50 (大粒径化熱処理条件)

雰囲気 : N<sub>2</sub>  
 温度 : 650°C  
 時間 : 10 hr  
 (活性化熱処理条件)

雰囲気 : N<sub>2</sub>  
 温度 : 1000°C  
 時間 : 10 sec

【0039】図2(c)：上層シリコン系膜6としての高融点金属シリサイド膜、本実施例ではWSi<sub>2</sub>をプラズマCVD法により100nmの厚さに形成する。

【0040】図2(d)：nMOS領域4のみに開口部を有するレジストマスク7を形成する。このレジストマスクをマスクとして、nMOS領域4上の上層シリコン系膜6にp型不純物(図中記号Pで示す)をイオン注入する。p型不純物のドーズ量は、下層シリコン系膜3へのn型不純物のドーズ量の半分ないし1桁程度低くなる。

(nMOS領域イオン注入条件(カウンタドープ))

イオン種 : B<sup>+</sup>  
 エネルギ : 5keV  
 ドーズ量 :  $5 \times 10^{14} \text{ atoms/cm}^2$

【0041】図3(e)：つぎにpMOS領域5のみに開口部を有するレジストマスク7をあらたに形成する。このレジストマスクをマスクとして、pMOS領域4上の上層シリコン系膜6にn型不純物(図中記号Nで示す)をイオン注入する。n型不純物のドーズ量も、下層シリコン系膜3へのp型不純物のドーズ量の半分ない\*

(上層シリコン系膜6のエッティング条件)

Cl<sub>2</sub> : 80 sccm  
 O<sub>2</sub> : 8 sccm  
 圧力 : 0.4Pa  
 μ波出力 : 900W(2.45GHz)  
 RFバイアス: 80W(800kHz) : ブレークスルー  
 50W(800kHz) : メインエッティング  
 温度 : 20°C

このエッティング条件でのエッティングレートは、n型不純物カウンタドープ領域>ノンドープ領域>p型不純物カウンタドープ領域の順となる。したがって、この図に示すように、pMOS領域上の上層シリコン系膜6のエッティングが終了した時点でも、nMOS領域上や、ノンド<sup>\*</sup>40

(下層シリコン系膜3のエッティング条件)

Cl<sub>2</sub> : 40 sccm  
 HBr : 80 sccm  
 O<sub>2</sub> : 3 sccm  
 圧力 : 0.4Pa  
 μ波出力 : 900W(2.45GHz)  
 RFバイアス: 50W(800kHz) : メインエッティング  
 25W(800kHz) : オーバーエッティング  
 温度 : 20°C

このエッティング条件で、上層シリコン系膜6の残部がエ★50★ッティングされる。また下層シリコン系膜3のエッティング

\*し1桁程度低くする。(pMOS領域イオン注入条件(カウンタドープ))

イオン種 : P<sup>+</sup>  
 エネルギ : 5keV  
 ドーズ量 :  $5 \times 10^{14} \text{ atoms/cm}^2$   
 【0042】なおいずれの領域上のレジストマスク7も、その開口形状は、下層シリコン系膜3へのイオン注入領域をすべてカバーするか、あるいは若干広い形状とする。ノンドープ上層シリコン系膜6/ドープ下層シリコン系膜3の領域が存在すると、その領域では従来技術と同様のエッチングマージンしか得られなくなり、突き抜けや残渣が発生する虞れがある。

【0043】この後、上層シリコン系膜6へ注入した不純物の活性化熱処理を施す。

(活性化熱処理条件)

雰囲気 : N<sub>2</sub>  
 温度 : 1000°C  
 時間 : 10 sec

【0044】図3(f)：nMOS領域4およびpMOS領域5の上層シリコン系膜6上に、再度レジストマスク7を形成する。このレジストマスク7は、Dualゲート電極形成用のエッティングマスクであり、エキシマレーザステッパーにより0.25μmのパターン幅に形成する。

【0045】図3(g)：図3(f)に示す被処理基体を、図9に示したECRエッティング装置に搬入し、Dualゲート電極加工を施す。

\*ノード領域ではエッティングが終了せず、上層シリコン系膜6が残存している。

【0046】図4(h)：エッティングガスを切り換えて、連続的に下層シリコン系膜3をエッティングする。

11

レートは、n型不純物ドープ領域>ノンドープ領域>p型不純物ドープ領域の順となる。したがって、上層シリコン系膜6のエッティングレートの差と相殺しあい、上層シリコン系膜6+下層シリコン系膜3の合計のエッティングレートは、どの領域においてもほぼ等しくなるか、あるいは従来のカウンタドーピングを施さない方法に比較して、各領域におけるエッティングレートの差は半分以下になる。

【0047】図4(i)：したがって、オーバーエッチング終了時においては、ゲート絶縁膜2の削り、半導体基体1への突き抜け、あるいは下層シリコン系膜3の残渣等はいずれも発生せず、異方性形状にすぐれたDualゲート電極が形成された。

【0048】図4(j)：HF系洗浄液による洗浄、およびアッシングによりレジストマスク7を除去し、Dualゲート電極を完成した。この後は、常法に準じてCMOS型半導体装置を完成した。

【0049】(実施例2)本実施例も図1(a)に示したCMOS型半導体装置のDualゲート電極加工を、MCRタイプのプラズマエッティング装置により施した例であり、この工程を同じく図2～図4を参照して説明する。

【0050】図2(a)：本実施例で採用したサンプルも、シリコン等の半導体基体1上にゲート絶縁膜2および下層シリコン系膜3がそれぞれ形成されたものである。これらのうち、ゲート絶縁膜2はシリコン等の半導体基体1表面の熱酸化によりSiO<sub>2</sub>を5nmの厚さに形成したものである。また下層シリコン系膜3は、例えば減圧CVD(Chemical Vapor Deposition)法により、多結晶シリコンを100nmの厚さに形成したものである。

【0051】図2(b)：下層シリコン系膜3上にレジストマスク(不図示)を形成し、nMOS領域4にPをイオン注入する。また別のレジストマスク(不図示)により、pMOS領域5にBをイオン注入し、熱処理を施す。図中、nMOS領域はNの記号で、pMOS領域はPの記号で示す。

#### (nMOS領域イオン注入条件)

イオン種 : P<sup>+</sup>  
エネルギー : 10keV  
ドーズ量 :  $5 \times 10^{15} \text{ atoms/cm}^2$

#### (pMOS領域イオン注入条件)

イオン種 : B<sup>+</sup>  
エネルギー : 5keV  
ドーズ量 :  $4 \times 10^{15} \text{ atoms/cm}^2$

#### (大粒径化熱処理条件)

雰囲気 : N<sub>2</sub>  
温度 : 650°C  
時間 : 10hr

#### (活性化熱処理条件)

雰囲気 : N<sub>2</sub>

12

温度 : 1000°C  
時間 : 10sec

【0052】図2(c)：上層シリコン系膜6としての高融点金属シリサイド膜、本実施例ではWSi<sub>2</sub>をプラズマCVD法により100nm形成する。

【0053】図2(d)：nMOS領域4のみに開口部を有するレジストマスク7を形成する。このレジストマスクをマスクとして、nMOS領域4上の上層シリコン系膜6にp型不純物(図中記号Pで示す)をイオン注入する。p型不純物のドーズ量は、下層シリコン系膜3へのn型不純物のドーズ量の半分ないし1桁程度低くなる。

#### (nMOS領域イオン注入条件(カウンタドープ))

イオン種 : B<sup>+</sup>  
エネルギー : 5keV  
ドーズ量 :  $5 \times 10^{14} \text{ atoms/cm}^2$

【0054】図3(e)：つぎにpMOS領域5のみに開口部を有するレジストマスク7を形成する。このレジストマスクをマスクとして、pMOS領域5上の上層シリコン系膜6にn型不純物(図中記号Nで示す)をイオン注入する。n型不純物のドーズ量も、下層シリコン系膜3へのp型不純物のドーズ量の半分ないし1桁程度低くなる。

#### (pMOS領域イオン注入条件(カウンタドープ))

イオン種 : P<sup>+</sup>  
エネルギー : 5keV  
ドーズ量 :  $5 \times 10^{14} \text{ atoms/cm}^2$

【0055】なおいずれの領域上のレジストマスク7も、その開口形状は、下層シリコン系膜3へのイオン注入領域をすべてカバーするか、あるいは若干広い形状とする。ノンドープ上層シリコン系膜6/ドープ下層シリコン系膜3の領域が存在すると、その領域では従来技術と同様のエッティングマージンしか得られなくなり、突き抜けや残渣が発生する虞れがある。

【0056】この後、上層シリコン系膜6へ注入した不純物の活性化熱処理を施す。

#### (活性化熱処理条件)

雰囲気 : N<sub>2</sub>  
温度 : 1000°C  
時間 : 10sec

【0057】図3(f)：nMOS領域4およびpMOS領域5の上層シリコン系膜6上に、再度レジストマスク7を形成する。このレジストマスク7は、Dualゲート電極形成用のエッティングマスクであり、エキシマレーザステップにより0.25μmのパターン幅に形成する。

【0058】図3(g)：図3(f)に示す被処理基体を、図10に示したMCRタイプのエッティング装置に搬入し、Dualゲート電極加工を施す。

13

14

## (上層シリコン系膜6のエッチング条件)

C<sub>l</sub><sub>2</sub> : 80 sccm  
 圧力 : 1.0 Pa  
 ソース出力 : 800W (13.56MHz)  
 RFバイアス: -100W (450kHz) : ブレークスルーブル  
 50W (450kHz) : メインエッチング  
 温度 : 70°C

このエッチング条件でのエッティングレートは、やはりn型不純物カウンタドープ領域 > ノンドープ領域 > p型不純物カウンタドープ領域の順となる。したがって、この図に示すように、pMOS領域上の上層シリコン系膜6のエッチングが終了した時点でも、nMOS領域上や、\*

## (下層シリコン系膜3のエッチング条件)

C<sub>l</sub><sub>2</sub> : 50 sccm  
 HBr : 50 sccm  
 圧力 : 1.0 Pa  
 ソース出力 : 1000W (13.56MHz)  
 RFバイアス: 50W (450kHz) : メインエッチング  
 25W (450kHz) : オーバーエッチング  
 温度 : 70°C

このエッチング条件で、上層シリコン系膜6の残部がエッチングされる。また下層シリコン系膜3のエッティングレートは、n型不純物ドープ領域 > ノンドープ領域 > p型不純物ドープ領域の順となる。したがって、上層シリコン系膜6のエッティングレートの差と相殺しあい、上層シリコン系膜6 + 下層シリコン系膜3の合計のエッティングレートは、どの領域においてもほぼ等しくなるか、あるいは従来のカウンタドーピングを施さない方法に比較して、各領域におけるエッティングレートの差は半分以下になる。

【0060】図4(i)：オーバーエッチングは、下層シリコン系膜3材料のn<sup>+</sup>多結晶シリコン膜換算で100nm相当施した。オーバーエッチング終了時には、ゲート絶縁膜2の削れ、半導体基体1への突き抜け、あるいは下層シリコン系膜3の残渣等はいずれも発生せず、異方性形状にすぐれたDualゲート電極が形成された。

【0061】図4(j)：HF系洗浄液による洗浄、およびアッシングによりレジストマスク7を除去し、Dualゲート電極を完成した。この後は、常法に準じてCMOS型半導体装置を完成した。

【0062】〔実施例3〕本実施例は、図1(b)に示したCMOS型半導体装置のDualゲート電極加工を、ICPプラズマエッチング装置により施した例であり、この工程を図5～図8を参照して説明する。

【0063】図5(a)：本実施例で採用したサンプルも、シリコン等の半導体基体1上にゲート絶縁膜2および下層シリコン系膜3がそれぞれ形成されたものである。これらのうち、ゲート絶縁膜2はシリコン等の半導体基体1表面の熱酸化によりSiO<sub>2</sub>を5nmの厚さに約50

\*ノンドープ領域ではエッチングが終了せず、上層シリコン系膜6が残存している。

10 【0059】図4(h)：エッチングガスを切り換えて、連続的に下層シリコン系膜3をエッチングする。

※形成したものである。また下層シリコン系膜3は、例えば減圧CVD法により、多結晶シリコンを100nmの厚さに形成したものである。

【0064】図5(b)：下層シリコン系膜3上にレジストマスク(不図示)を形成し、nMOS領域4にPをイオン注入する。また別のレジストマスク(不図示)により、pMOS領域5にBをイオン注入し、熱処理を施す。図中、nMOS領域はNの記号で、pMOS領域はPの記号で示す。

## 30 (nMOS領域イオン注入条件)

イオン種 : P<sup>+</sup>  
 エネルギ : 10 keV  
 ドーズ量 : 5 × 10<sup>15</sup> atoms/cm<sup>2</sup>  
 (pMOS領域イオン注入条件)  
 イオン種 : B<sup>+</sup>  
 エネルギ : 5 keV  
 ドーズ量 : 4 × 10<sup>15</sup> atoms/cm<sup>2</sup>

## (大粒径化熱処理条件)

雰囲気 : N<sub>2</sub>

温度 : 650°C

時間 : 10 hr

## (活性化熱処理条件)

雰囲気 : N<sub>2</sub>

温度 : 1000°C

時間 : 10 sec

【0065】図5(c)：上層シリコン系膜6としての高融点金属シリサイド膜、本実施例でもWSi<sub>2</sub>をプラズマCVD法により100nm形成する。

【0066】図5(d)：本実施例ではこの後、上層シリコン系膜6上に無機マスク膜8を形成する。無機マ

15

スク膜8は、減圧CVD法により、 $\text{SiO}_2$ を150nmの厚さに形成した。

【0067】図6(e)：無機マスク膜8上にレジストマスク7を形成する。レジストマスク7の開口形状は、下層シリコン系膜3のn型不純物導入領域をすべてカバーするか、あるいは若干広い形状とする。またこのレジストマスク7の開口内には、nMOS領域のゲート電極形成部分にもレジストマスク7を形成しておく。このレジストマスク7をエッチングマスクとして、無機マスク膜8をエッチングし、上層シリコン系膜6の一部を露出する。

【0068】このレジストマスク7をマスクとして、nMOS領域4上の上層シリコン系膜6にp型不純物(図中記号Pで示す)をイオン注入する。p型不純物のドーズ量は、下層シリコン系膜3へのn型不純物のドーズ量の半分ないし1桁程度低くする。

(nMOS領域イオン注入条件(カウンタドープ))

イオン種： $\text{B}^+$

エネルギー：5keV

ドーズ量： $5 \times 10^{14} \text{ atoms/cm}^2$

【0069】図6(f)：つぎに無機マスク膜8上に新たにレジストマスク7を形成する。新しいレジストマスク7の開口形状は、下層シリコン系膜3のp型不純物導入領域をすべてカバーするか、あるいは若干広い形状とする。またこのレジストマスク7の開口内には、pMOS領域のゲート電極形成部分にもレジストマスク7を形成しておく。このレジストマスク7をエッチングマスクとして、無機マスク膜8をエッチングし、上層シリコン系膜6の一部を露出する。

【0070】このレジストマスク7をマスクとして、pMOS領域5上の上層シリコン系膜6にn型不純物(図中記号Nで示す)をイオン注入する。n型不純物のドー

(上層シリコン系膜6のエッチング条件)

$\text{Cl}_2$  : 50sccm

$\text{O}_2$  : 5sccm

圧力 : 0.4Pa

ソース出力 : 400W(2MHz)

RFバイアス: 100W(1.8MHz) : ブレークスルー  
50W(1.8MHz) : メインエッチング

温度 : 30°C

このエッチング条件でのエッチングレートは、やはりn型不純物カウンタドープ領域>ノンドープ領域>p型不純物カウンタドープ領域の順となる。したがって、この図に示すように、pMOS領域上の上層シリコン系膜6のエッチングが終了した時点でも、nMOS領域上や、※

(下層シリコン系膜3のエッチング条件)

$\text{Cl}_2$  : 20sccm

$\text{HBr}$  : 30sccm

$\text{O}_2$  : 5sccm

圧力 : 1.0Pa

16

\*ズ量も、下層シリコン系膜3へのp型不純物のドーズ量の半分ないし1桁程度低くする。

(pMOS領域イオン注入条件(カウンタドープ))

イオン種： $\text{P}^+$

エネルギー：5keV

ドーズ量： $5 \times 10^{14} \text{ atoms/cm}^2$

【0071】なおいずれの領域上のレジストマスク7も、その開口の輪郭形状を、下層シリコン系膜3へのイオン注入領域をすべてカバーするか、あるいは若干広い形状としたのは、ノンドープ上層シリコン系膜6/ドープ下層シリコン系膜3の領域が存在すると、その領域では従来技術と同様のエッチングマージンしか得られなくなり、突き抜けや残渣が発生する虞れがあるからである。

【0072】図6(g)：レジストマスク7をアッシング除去し、さらにnMOS領域4およびpMOS領域5間のノンドープ領域上に開口を有するレジストマスク7を再度形成する。このレジストマスク7の開口は、ノンドープ領域を丁度カバーするか、若干狭い程度とする。このレジストマスク7をエッチングマスクとして、ノンドープ領域上の無機マスク膜8に開口を形成する。

【0073】図7(h)：レジストマスク7をアッシング除去し、上層シリコン系膜6へ注入した不純物の活性化熱処理を施す。

(活性化熱処理条件)

雰囲気： $\text{N}_2$

温度：1000°C

時間：10sec

【0074】図7(i)：図7(h)に示す被処理基体を、図11に示したICPエッチング装置に搬入し、Dualゲート電極加工を施す。この際、無機マスク膜8がエッチングマスクとなる。

※ノンドープ領域ではエッチングが終了せず、上層シリコン系膜6が残存している。

【0075】図7(j)：エッチングガスを切り換え、連続的に下層シリコン系膜3をエッチングする。

17

ソース出力 : 400W(2MHz)  
 RFバイアス: 50W(1.8MHz) : メインエッティング  
 30W(1.8MHz) : オーバーエッティング

温度 : 30°C

このエッティング条件で、上層シリコン系膜6の残部がエッティングされる。また下層シリコン系膜3のエッティングレートは、n型不純物ドープ領域>ノンドープ領域>p型不純物ドープ領域の順となる。したがって、上層シリコン系膜6のエッティングレートの差と相殺しあい、上層シリコン系膜6+下層シリコン系膜3の合計のエッティングレートは、どの領域においてもほぼ等しくなるか、あるいは従来のカウンタドーピングを施さない方法に比較して、各領域におけるエッティングレートの差は半分以下になる。

【0076】図8(k)：オーバーエッティングは、下層シリコン系膜3材料のn<sup>+</sup>多結晶シリコン膜換算で100nm相当施した。オーバーエッティング終了時においては、ゲート絶縁膜2の削れ、半導体基体1への突き抜け、あるいは下層シリコン系膜3の残渣等はいずれも発生せず、異方性形状にすぐれたDualゲート電極が形成された。なお、本実施例ではノンドープ領域に極く狭い幅のスリット状多結晶シリコン膜である下層シリコン系膜3、高融点金属シリサイド膜である上層シリコン系膜6および無機マスク膜8のスタックが残る状態を示している。このスリット状パターンは、下層シリコン系膜3のオーバーエッティング工程で、Dualゲート電極の異方性形状に大きな影響を与えることなく除去することができる。また、図6(g)におけるレジストマスク7のレイアウトや、露光合わせマージンの精度向上により、残存を防止することもできる。また、上層シリコン系膜6上に残存する無機マスク膜8は、LDDサイドウォールスベーサ形成時のオフセット絶縁膜として利用することができる。

【0077】【実施例4】本実施例も、図1(b)に示したCMOS型半導体装置のDualゲート電極加工を、ヘリコン波プラズマエッティング装置により施した例であり、この工程を再度図5～図8を参照して説明する。

【0078】図5(a)：本実施例で採用したサンプルも、シリコン等の半導体基体1上にゲート絶縁膜2および下層シリコン系膜3がそれぞれ形成されたものである。これらのうち、ゲート絶縁膜2はシリコン等の半導体基体1表面の熱酸化によりSiO<sub>2</sub>を5nmの厚さに形成したものである。また下層シリコン系膜3は、例えば減圧CVD法により、多結晶シリコンを100nmの厚さに形成したものである。

【0079】図5(b)：下層シリコン系膜3上にレジストマスク(不図示)を形成し、nMOS領域4にPをイオン注入する。また別のレジストマスク(不図示)により、pMOS領域5にBをイオン注入し、熱処理を施す。図中、nMOS領域はNの記号で、pMOS領域\*50

18

\*はPの記号で示す。

(nMOS領域イオン注入条件)

イオン種 : P<sup>+</sup>  
 エネルギ : 10keV  
 ドーズ量 : 5×10<sup>15</sup>atoms/cm<sup>2</sup>

10 (pMOS領域イオン注入条件)

イオン種 : B<sup>+</sup>  
 エネルギ : 5keV  
 ドーズ量 : 4×10<sup>15</sup>atoms/cm<sup>2</sup>

(大粒径化熱処理条件)

雰囲気 : N<sub>2</sub>  
 温度 : 650°C  
 時間 : 10hr

(活性化熱処理条件)

雰囲気 : N<sub>2</sub>  
 20 温度 : 1000°C  
 時間 : 10sec

【0080】図5(c)：上層シリコン系膜6としての高融点金属シリサイド膜、本実施例でもWSi<sub>2</sub>をプラズマCVD法により100nm形成する。

【0081】図5(d)：本実施例ではこの後、上層シリコン系膜6上に無機マスク膜8を形成する。無機マスク膜8は、減圧CVD法により、SiO<sub>2</sub>を150nmの厚さに形成した。

【0082】図6(e)：無機マスク膜8上にレジストマスク7を形成する。レジストマスク7の開口形状は、下層シリコン系膜3のn型不純物導入領域をすべてカバーするか、あるいは若干広い形状とする。またこのレジストマスク7の開口内には、nMOS領域のゲート電極形成部分にもレジストマスク7を形成しておく。このレジストマスク7をエッティングマスクとして、無機マスク膜8をエッティングし、上層シリコン系膜6の一部を露出する。

【0083】このレジストマスク7をマスクとして、nMOS領域4上の上層シリコン系膜6にp型不純物(図中記号Pで示す)をイオン注入する。p型不純物のドーズ量は、下層シリコン系膜3へのn型不純物のドーズ量の半分ないし1桁程度低くなる。

(nMOS領域イオン注入条件(カウンタドープ))

イオン種 : B<sup>+</sup>  
 エネルギ : 5keV  
 ドーズ量 : 5×10<sup>14</sup>atoms/cm<sup>2</sup>

【0084】図6(f)：つぎに無機マスク膜8上に新たにレジストマスク7を形成する。新しいレジストマスク7の開口形状は、下層シリコン系膜3のp型不純物導入領域をすべてカバーするか、あるいは若干広い形状

とする。またこのレジストマスク7の開口内には、pMOS領域のゲート電極形成部分にもレジストマスク7を形成しておく。このレジストマスク7をエッチングマスクとして、無機マスク膜8をエッチングし、上層シリコン系膜6の一部を露出する。

【0085】このレジストマスク7をマスクとして、pMOS領域5上の上層シリコン系膜6にn型不純物(図中記号Nで示す)をイオン注入する。n型不純物のドーズ量も、下層シリコン系膜3へのp型不純物のドーズ量の半分ないし1桁程度低くする。

(pMOS領域イオン注入条件(カウンタドープ))

イオン種 : P<sup>+</sup>

エネルギー : 5 keV

ドーズ量 :  $5 \times 10^{14}$  atoms/cm<sup>2</sup>

【0086】なおいずれの領域上のレジストマスク7も、その開口の輪郭形状を、下層シリコン系膜3へのイオン注入領域をすべてカバーするか、あるいは若干広い形状としたのは、ノンドープ上層シリコン系膜6／ドープ下層シリコン系膜3の領域が存在すると、その領域では従来技術と同様のエッチングマーリンしか得られ\*20

\*なくなり、突き抜けや残渣が発生する虞れがあるからである。

【0087】図6(g)：レジストマスク7をアッティング除去し、さらにnMOS領域4およびpMOS領域5間のノンドープ領域上に開口を有するレジストマスク7を再度形成する。このレジストマスク7の開口は、ノンドープ領域を丁度カバーするか、若干狭い程度とする。このレジストマスク7をエッチングマスクとして、ノンドープ領域上の無機マスク膜8に開口を形成する。

10 【0088】図7(h)：レジストマスク7をアッティング除去し、上層シリコン系膜6へ注入した不純物の活性化熱処理を施す。

(活性化熱処理条件)

雰囲気 : N<sub>2</sub>

温度 : 1000°C

時間 : 10 sec

【0089】図7(i)：図7(h)に示す被処理基体を、図12に示したヘリコン波プラズマエッチング装置に搬入し、Dualゲート電極加工を施す。この際も、無機マスク膜8がエッチングマスクとなる。

(上層シリコン系膜6のエッチング条件)

Cl<sub>2</sub> : 100 sccm

O<sub>2</sub> : 5 sccm

圧力 : 1.0 Pa

ソース出力 : 1000W(13.56MHz)

RFバイアス: 80W(400kHz) : ブレークスルー

40W(400MHz) : メインエッチング

温度 : 20°C

このエッチング条件でのエッチングレートは、やはりn型不純物カウンタドープ領域>ノンドープ領域>p型不純物カウンタドープ領域の順となる。したがって、この図に示すように、pMOS領域上の上層シリコン系膜6のエッチングが終了した時点でも、nMOS領域上や、※ノンドープ領域ではエッチングが終了せず、上層シリコン系膜6が残存している。

(下層シリコン系膜3のエッチング条件)

Cl<sub>2</sub> : 50 sccm

HBr : 30 sccm

O<sub>2</sub> : 5 sccm

圧力 : 1.0 Pa

ソース出力 : 800W(13.56MHz)

RFバイアス: 60W(400kHz) : メインエッチング

30W(400kHz) : オーバーエッチング

温度 : 30°C

このエッチング条件で、上層シリコン系膜6の残部がエッチングされる。また下層シリコン系膜3のエッチングレートは、n型不純物ドープ領域>ノンドープ領域>p型不純物ドープ領域の順となる。したがって、上層シリコン系膜6のエッチングレートの差と相殺しあい、上層シリコン系膜6+下層シリコン系膜3の合計のエッチングレートは、どの領域においてもほぼ等しくなるか、あるいは従来のカウンタドーピングを施さない方法に比較★50

★して、各領域におけるエッチングレートの差は半分以下になる。

【0091】図8(k)：オーバーエッチングは、下層シリコン系膜3材料のn<sup>+</sup>多結晶シリコン膜換算で100nm相当施した。オーバーエッチング終了時においては、ゲート絶縁膜2の削れ、半導体基体1への突き抜け、あるいは下層シリコン系膜3の残渣等はいずれも発生せず、異方性形状にすぐれたDualゲート電極が形成さ

れた。なお、本実施例でもノンドープ領域に極く狭い幅のスリット状多結晶シリコン膜である下層シリコン系膜3、高融点金属シリサイド膜である上層シリコン系膜6および無機マスク膜8のスタックが残る状態を示している。このスリット状パターンは、下層シリコン系膜3のオーバーエッチング工程で、Dualゲート電極の異方性形状に大きな影響を与えることなく除去することができる。また、図6(g)におけるレジストマスク7のレイアウトや、露光合わせマージンの精度向上により、残存を防止することもできる。また、上層シリコン系膜6上に残存する無機マスク膜8は、LDDサイドウォールスベーサ形成時のオフセット絶縁膜として利用することができる。

【0092】以上、本発明を4例の実施例により詳細に説明したが、本発明はこれら実施例に何ら限定されるものではない。

【0093】例えば、下層シリコン系膜3として多結晶シリコン膜を例示したが、非晶質シリコン膜や微結晶シリコン膜等の非単結晶シリコン膜であってもよい。非晶質シリコン膜の場合には、活性化熱処理の際に結晶化される。

【0094】上層シリコン系膜6として、WSi<sub>2</sub>を例示したが、MoSi<sub>2</sub>やTaSi<sub>2</sub>等、従来高融点金属ボリサイド構造に用いられている金属シリサイドはいずれも使用できる。また上層シリコン系膜6を多結晶シリコン膜等の非単結晶シリコン膜としてもよい。

【0095】さらに、本発明はCMOS型半導体装置の他に、導電型の異なるシリコン系材料層を同時にエッチングする工程を有するあらゆる半導体装置およびその製造方法に適用することができる。

#### 【0096】

【発明の効果】以上の説明から明らかなように、本発明の半導体装置の製造方法によれば、導電型の異なるシリコン系膜を同時にエッチングする際に、エッティンググレートの差を実質的に解消、あるいは従来の方法に比較して半分以下程度に小さくすることができる。

【0097】したがって、Dualゲート電極型のCMOSトランジスタにおけるゲート絶縁膜の削れや半導体基体への突き抜け、あるいは、残渣の発生を回避でき、信頼性の高い半導体装置を提供することが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の半導体装置の要部を示す概略断面図で

ある。

【図2】本発明の半導体装置の製造工程を示す概略断面図である。

【図3】本発明の半導体装置の製造工程を示す概略断面図であり、図2に続く工程を示す。

【図4】本発明の半導体装置の製造工程を示す概略断面図であり、図3に続く工程を示す。

【図5】本発明の他の半導体装置の製造工程を示す概略断面図である。

【図6】本発明の他の半導体装置の製造工程を示す概略断面図であり、図5に続く工程を示す。

【図7】本発明の他の半導体装置の製造工程を示す概略断面図であり、図6に続く工程を示す。

【図8】本発明の他の半導体装置の製造工程を示す概略断面図であり、図7に続く工程を示す。

【図9】バイアス印加型ECRプラズマエッチング装置を示す概略断面図である。

【図10】バイアス印加型MCRタイププラズマエッチング装置を示す概略断面図である。

【図11】バイアス印加型ICPエッチング装置を示す概略断面図である。

【図12】バイアス印加型ヘリコン波プラズマエッチング装置を示す概略断面図である。

【図13】従来の半導体装置の製造方法における問題点を示す概略工程断面図である。

【図14】従来の半導体装置の製造方法における問題点を示す概略工程断面図であり、図13に続く工程を示す。

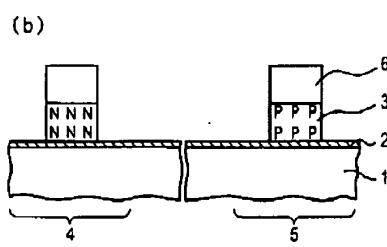
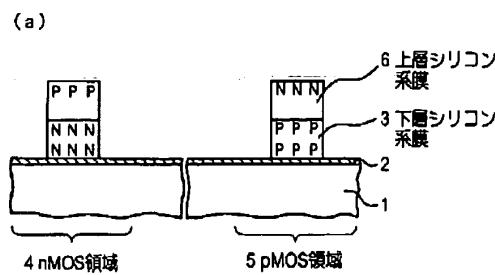
#### 【符号の説明】

30 1…半導体基体、2…ゲート絶縁膜、3…下層シリコン系膜、4…nMOS領域、5…pMOS領域、6…上層シリコン系膜、7…レジストマスク、8…無機マスク膜、9…突き抜け、10…残渣、N…n型不純物、P…p型不純物

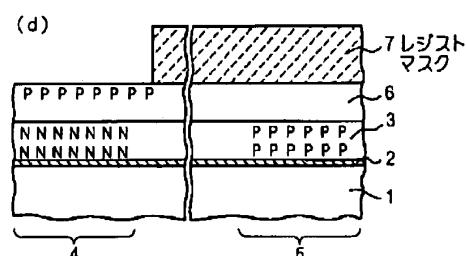
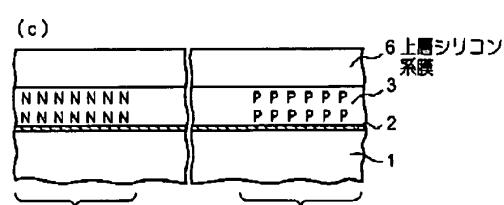
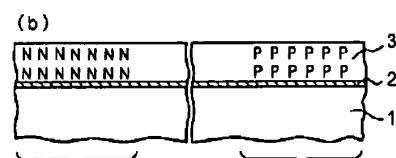
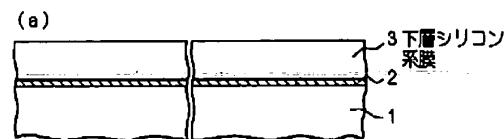
11…被処理基体、12…ステージ、13…クランバ、16…マグネットロン、17…マイクロ波導波管、18…ベルジャ、19…エッティングチャンバ、20…ソレノイドコイル、21…バイアス電源、22…ソース電源、23…側壁電極、24…上部電極、26…誘導結合コイル、27…ヒータ、29…ヘリコン波アンテナ、31…マルチポール磁石

40

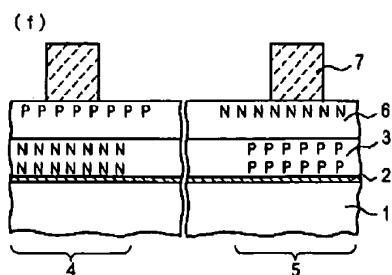
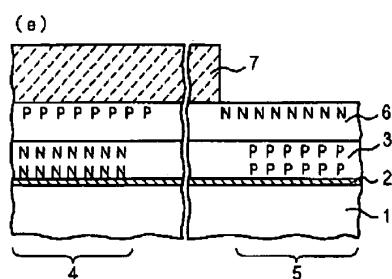
【図1】



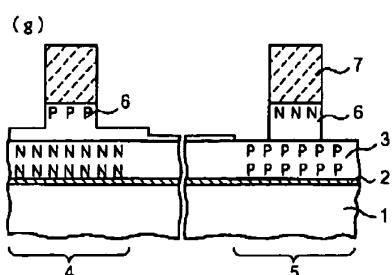
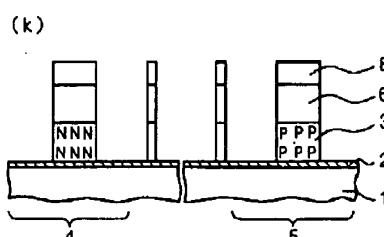
【図2】



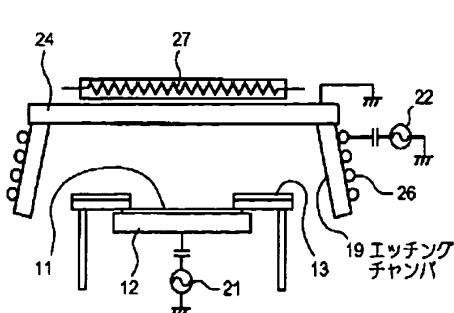
【図3】



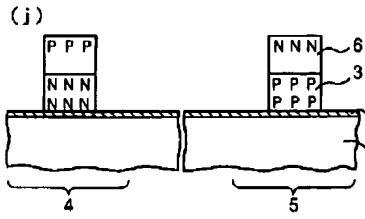
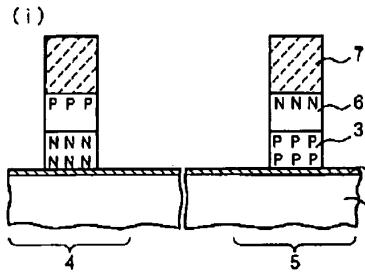
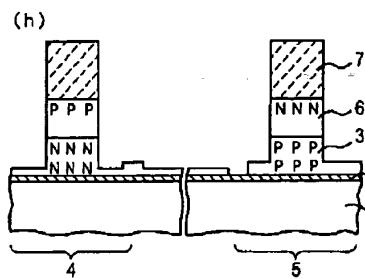
【図8】



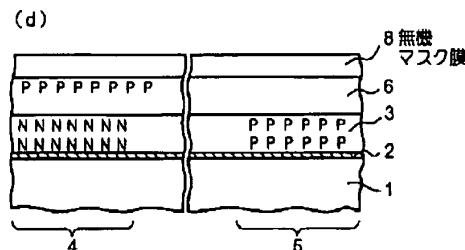
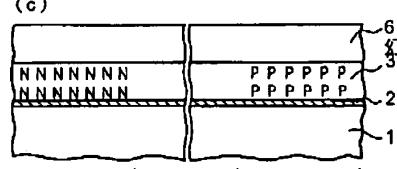
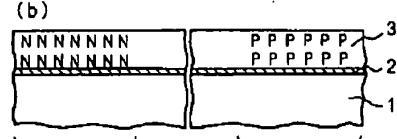
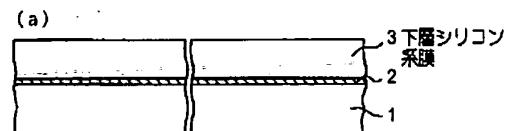
【図11】



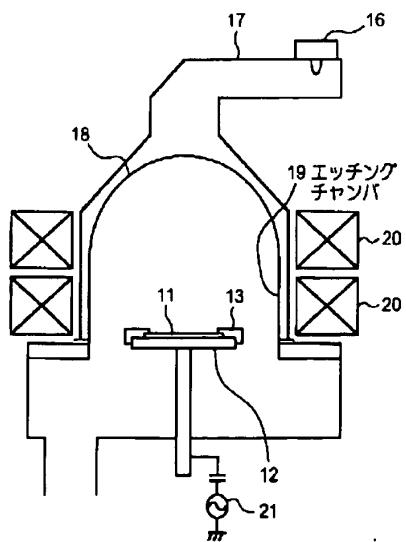
【図4】



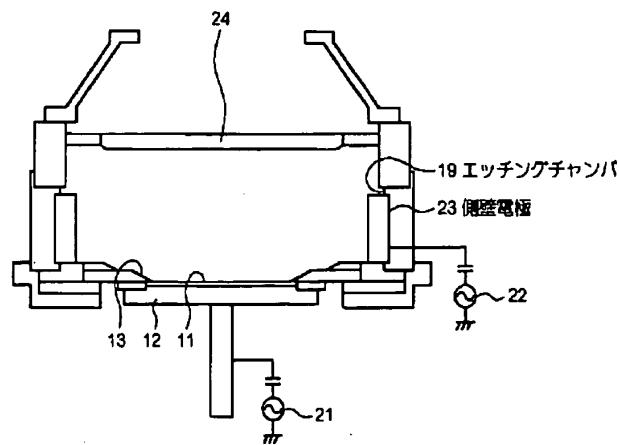
【図5】



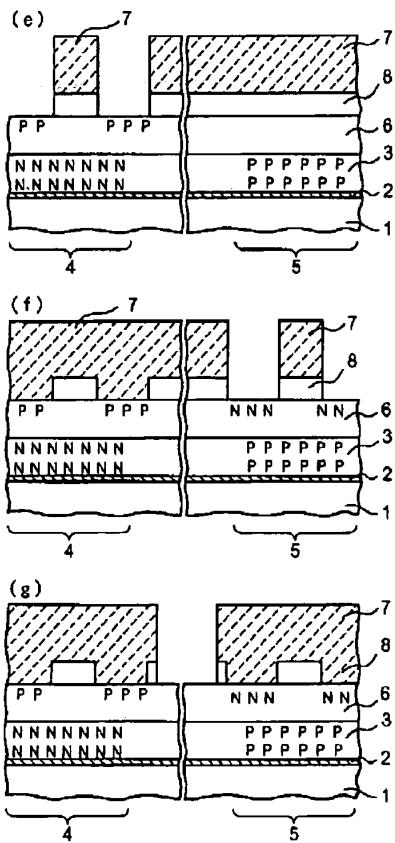
【図9】



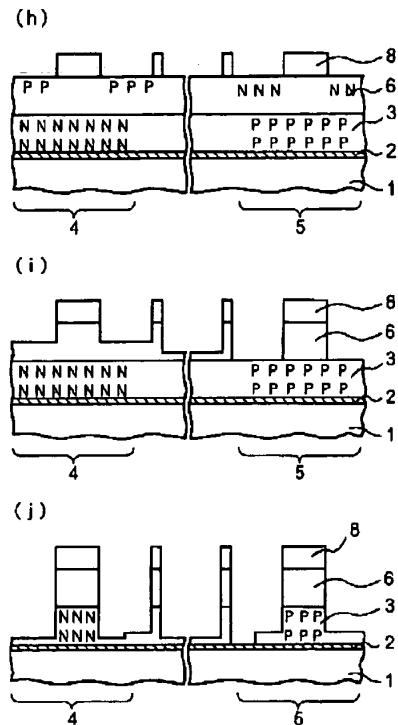
【図10】



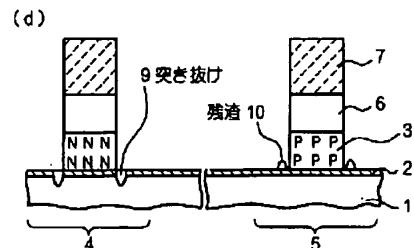
【図6】



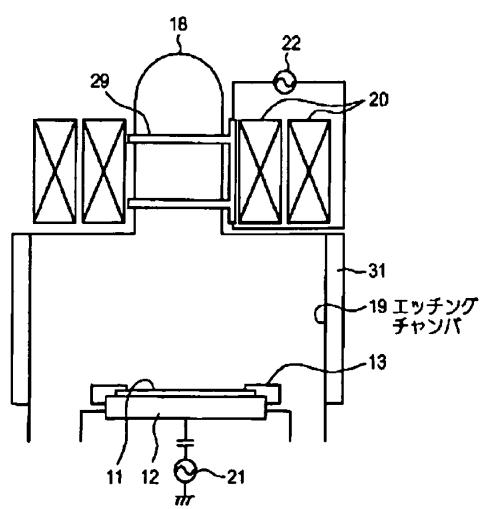
【図7】



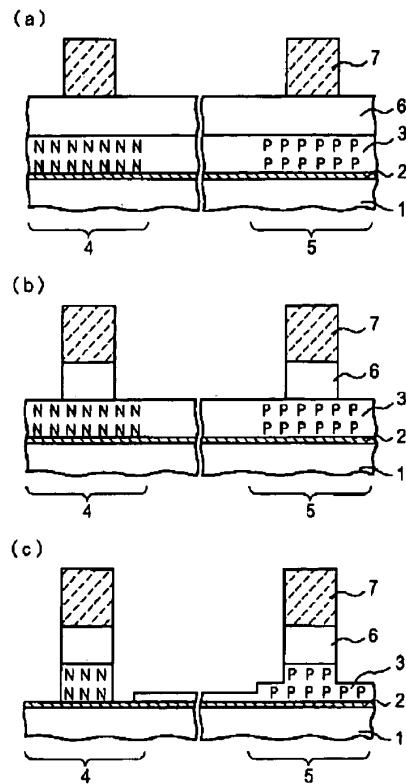
【図14】



【図12】



【図13】



フロントページの続き

(51)Int.Cl.<sup>7</sup>  
)

識別記号

F I

テ-マ-コ-ト' (参考

H 01 L 21/336

Fターム(参考) 4M104 AA01 BB01 BB26 BB27 BB28  
 CC05 DD08 DD43 DD65 DD78  
 DD84 EE03 FF13 GG09 GG10  
 HH04  
 5F004 BA14 BB13 BB14 CA01 CA04  
 DA00 DA04 DA26 DB01 DB02  
 DB15 EA32 FA02  
 5F040 DA18 DB03 DC01 EB03 EC07  
 EC13 EC28 FC11 FC15 FC21  
 5F048 AA07 AC03 BA01 BB05 BB06  
 BB07 BB08 BB12